

MODELO DE PLANO DE ENSINO
FICHA Nº 2 (variável)

Disciplina: Testabilidade de Circuitos Digitais		Código: TE259
Natureza: (X) obrigatória () optativa	Semestral (X) Anual () Modular ()	
Pré-requisito: não possui	Co-requisito: não possui	
Modalidade: (X) Presencial () EaD () 20% EaD		
<p>C.H. Semestral Total: 30 C.H. Anual Total: C.H. Modular Total: 30</p> <p>PD: 30 LB: 00 CP: 00 ES: 00 OR: 00 C.H. Semanal: 02</p>		
EMENTA (Unidades Didáticas)		
<p>Importância de testes, tipos de teste e de falhas. Modelos de falha. Técnicas de detecção de falhas em circuitos combinatórios e seqüenciais. Algoritmos geradores de teste. Síntese de circuitos digitais auto testáveis. Síntese de elementos Scan. Arquiteturas auto testáveis.</p>		
PROGRAMA (itens de cada unidade didática)		
<p>Falhas em circuitos lógicos. Falhas em dispositivos CMOS. Conceitos básicos de detecção de falhas. Detecção de falhas em circuitos combinatórios e seqüenciais. Testes para circuitos lógicos combinatórios. Testes para circuitos lógicos seqüenciais. Projetos de circuitos para testabilidade. Técnicas de Scan. Arquiteturas auto testáveis.</p>		
OBJETIVO GERAL		
<p>O aluno deverá estar apto a reconhecer possíveis falhas em circuitos lógicos e elaborar planos de testes para os mesmos.</p>		
OBJETIVO ESPECÍFICO		
<p>Familiarização com conceitos e técnicas de detecção de falhas em circuitos digitais, bem como a implantação de metodologias de testabilidade durante a elaboração de projetos de circuitos lógicos complexos.</p>		
PROCEDIMENTOS DIDÁTICOS		
<p>A disciplina será desenvolvida mediante aulas expositivo-dialogadas onde serão abordados os conceitos teóricos e princípios de detecção de falhas em circuitos lógicos. A assimilação deste conteúdo será reforçada pelo desenvolvimento de seminários com temas de interesse para a disciplina. Serão utilizados os seguintes recursos: quadro branco, computador e projetor multimídia.</p>		

PLANO DE ENSINO

FICHA Nº 2 (variável)

FORMAS DE AVALIAÇÃO

- 1) Seminário apresentado pelos alunos (50% da nota final)
- 2) Prova Escrita (50% da nota final)

Datas Importantes:

Entrega do material de suporte aos seminários (PDF e PPT) para TODOS os grupos: 14/10/13
Prova Escrita: 03/12/13

Informações Complementares:

- Cada grupo será responsável pela elaboração de um material de suporte à apresentação dos seminários que deverá ser entregue, na data especificada, nos formatos PPT e PDF.
- Cada grupo deverá elaborar um conjunto de 5 questões de múltipla escolha (de “a” a “e”) relativas ao conteúdo apresentado no seminário. Este questionário deverá ser impresso e entregue aos alunos após a apresentação do conteúdo. Será alocado tempo em sala de aula para a resolução do questionário.
- O questionário deverá ser enviado ao professor, em formato .DOC, devidamente respondido, na véspera da apresentação do seminário;
- Os seminários devem ter duração mínima de 50 minutos e máxima de 60 minutos. Após finalizada a apresentação oral, serão reservados 20 minutos para discussões e 20 minutos para o preenchimento do questionário relativo ao tema do dia;
- O grupos para os seminários comportarão no máximo 4 alunos;
- Todos os membros do grupo devem estar presentes no dia da apresentação do seminário.

BIBLIOGRAFIA BÁSICA (3 títulos)

- Parag K. Lala, *An Introduction to Logic Circuit Testing*, Editora Morgan and Claypool Publishers, 2008.
- Laung-Terng Wang, Cheng-Wen Wu, Xiaoqing Wen, *VLSI Test Principles and Architectures: Design for Testability*, Editora Elsevier, 2006.
- Parag K. Lala, *Digital Circuit Testing and Testability*, Editora Morgan and Claypool Publishers, 1997.

BIBLIOGRAFIA COMPLEMENTAR (2 títulos)

- Jose Luis Huertas Díaz, *Test and Design-for-Testability in Mixed-Signal Integrated Circuits*, Editora Springer, 2004.
- Alfred Crouch, *Design-For-Test For Digital IC's and Embedded Core Systems*, Editora Prentice Hall, 1999.

Professor da Disciplina: André Augusto Mariano, Ph.D.

Assinatura: _____

Chefe de Departamento: _____

Assinatura: _____

=

Legenda:

Conforme Resolução 15/10-CEPE: PD- Padrão LB – Laboratório CP – Campo ES – Estágio OR -
Orientada